

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-206257

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl. <sup>5</sup> H 01 L 21/76 27/12 29/784	識別記号 A 9169-4M F 8728-4M 9056-4M	府内整理番号 F I	技術表示箇所 3 1 1 R
---	---	---------------	-------------------

審査請求 有 請求項の数13(全 9 頁)

(21)出願番号 特願平4-259010

(22)出願日 平成4年(1992)9月1日

(31)優先権主張番号 07/781429

(32)優先日 1991年10月23日

(33)優先権主張国 米国(US)

(71)出願人 390009531

インターナショナル・ビジネス・マシーンズ・コーポレイション

INTERNATIONAL BUSINESS MACHINES CORPORATION

アメリカ合衆国10504、ニューヨーク州  
アーモンク(番地なし)

(72)発明者 クラウス・ディエトリツチ・ベイマー  
アメリカ合衆国、ニューヨーク州12601、  
ポウキーブシー、キングウッド・レーン  
4番地

(74)代理人 弁理士 頃宮 孝一(外2名)

最終頁に続く

(54)【発明の名称】 半導体構造及びその製造方法

(57)【要約】

【目的】空気を誘電体として利用することによりシリコン領域を基板材料から完全にアイソレートする。

【構成】基板10からシリコンエリアをアイソレートする方法は、基板10内にN<sup>+</sup>埋設層14を準備するステップと、当該N<sup>+</sup>埋設層14上に真性エピタキシヤル層12を形成するステップと、エピタキシヤル層12を介してトレンチ18及び20をエッティングし、これによつて真性エピタキシヤル材料からなる所望のアイソレーション領域16を形成するステップと、当該所望のアイソレーション領域16の下をラテラル方向にエッティングすることにより、キヤビティ22を形成するステップと、第1のエッティングステップによつて露出された所望のアイソレーション領域16の底部に沿つて絶縁材料からなる絶縁層24を形成するステップとを含む。かくして上述のステップにより所望のアイソレーション領域16を基板10から完全にアイソレートすることができる。

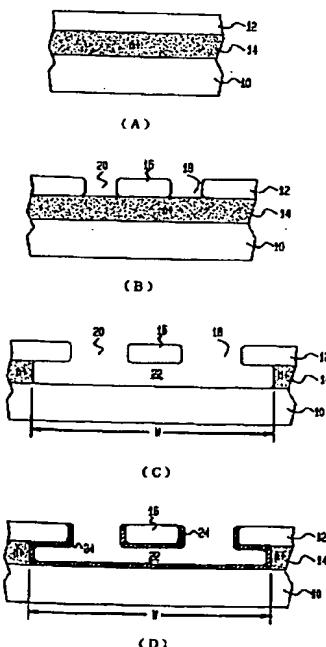


図1 第1の実施例の製造ステップ

1

## 【特許請求の範囲】

【請求項1】シリコンエリアを基板からアイソレートする方法において、上記基板上にシリコンエピタキシャル層を準備するステップと、上記エピタキシャル層内の所望のアイソレーション領域の2つの側面に沿りかつ上記所望のアイソレーション領域の下にある材料をエッティングし、これによつて上記所望のアイソレーション領域を上記基板から分離させるキヤビティを形成するステップと、上記エッティングステップによつて露出された上記所望のアイソレーション領域の底部及び上記所望のアイソレーション領域が上記エピタキシャル層に付着する上記シリコンエリア内の上記キヤビティの壁に絶縁材料からなる絶縁層を形成し、上記絶縁層は上記キヤビティの高さ以下の厚さを有するようにしたステップとを具え、上記絶縁層は上記所望のアイソレーション領域の下にプリツジを形成して上記所望のアイソレーション領域を支持し、これによつて上記所望のアイソレーション領域を上記キヤビティ内の空気によつて上記基板からアイソレートすることを特徴とするシリコンエリアアイソレート方法。

【請求項2】シリコンエリアを基板からアイソレートする方法において、上記基板上にシリコンエピタキシャル層を準備するステップと、上記エピタキシャル層の少なくとも一部の下に上記基板の埋設領域を準備し、上記埋設領域は上記基板の特性エツチ反応とは異なる特性エツチ反応を有するようにしたステップと、上記埋設領域内に延びる上記エピタキシャル層内の一对のトレンチをパターン化することにより、所望のアイソレーション領域を定義するステップと、上記所望のアイソレーション領域の下の上記埋設領域をラテラル方向にエッティングし、これによつて上記所望のアイソレーション領域の下にキヤビティを形成するステップと、上記ラテラル方向のエッティングステップによつて露出された上記所望のアイソレーション領域の表面及び上記アイソレーション領域が上記エピタキシャル層に付着する上記キヤビティの壁に絶縁材料からなる絶縁層を形成するステップとを具え、上記絶縁層の厚さは上記キヤビティの高さ以下であり、かつ上記絶縁層は上記所望のアイソレーション領域の下にプリツジを形成して当該所望のアイソレーション領域を支持し、所望の各アイソレーション領域は上記キヤビティ内の空気によつて上記基板からアイソレートされることを特徴とするシリコンエリアアイソレート方法。

【請求項3】基板と、

上記基板上に形成されたシリコンエピタキシャル層と、

2

頂部、底部、2つの側面及び2つの終端を有し、かつ上記底部及び上記2つの終端における上記基板上に形成された絶縁材料からなる絶縁層を有する上記エピタキシャル層内の所望のアイソレーション領域と、上記底部の下及び上記2つの側面に沿つて上記所望のアイソレーション領域を囲む上記エピタキシャル層及び上記基板内の空気が充填されたキヤビティとを具え、上記絶縁層は上記所望のアイソレーション領域を支持し、当該アイソレーション領域を上記キヤビティ上に懸架するようになされていることを特徴とする半導体構造。

【請求項4】基板の特性エツチ反応とは異なる特性エツチ反応をもつ埋設領域を有する基板と、上記基板上の上記埋設領域上に形成されたシリコン材料からなるエピタキシャル層と、頂部、底部、2つの側面及び2つの終端を有し、かつ上記終端における上記基板上及び上記底部に形成された絶縁材料からなる絶縁層を有する上記エピタキシャル層内の所望のアイソレーション領域と、上記2つの側面及び上記底部の下にあつて上記所望のアイソレーション領域を囲む上記キヤビタル層及び上記基板内の空気が充填されたキヤビティとを具え、上記キヤビティは一对のトレンチをエッティングすることによつて形成され、これによつて上記2つの側面を形成し、その後上記埋設領域をラテラル方向にエッティングし、これによつて上記底部を形成し、上記絶縁層は上記所望のアイソレーション領域を支持し、当該アイソレーション領域を上記キヤビティ上に懸架するようになされていることを特徴とする半導体構造。

【請求項5】基板をシリコンエリアからアイソレートする方法において、

上記基板上にシリコンエピタキシャル層を準備するステップと、

上記エピタキシャル層の所望のアイソレーション領域の2つの側面に沿りかつ上記所望の領域の下にある材料をエッティングし、これによつて上記所望のアイソレーション領域を上記基板から完全に分離させる、空気が充填されたキヤビティを形成するステップと、

上記所望のアイソレーション領域の上記2つの側面に第

40 1の絶縁材料からなる側壁を形成するステップと、上記所望のアイソレーション領域の下をエッティングすることによつて露出された上記シリコンエリア内の上記所望のアイソレーション領域及び上記所望のアイソレーション領域が上記エピタキシャル層に付着する上記シリコンエリア内の上記キヤビティの壁に導電材料からなる導電層を形成するステップとを具え、

上記所望のアイソレーション領域の下の上記導電層は上記壁に形成された上記導電層と連続しており、これによつて上記所望のアイソレーション領域の下にプリツジを形成して上記所望のアイソレーション領域を支持するこ

50

とにより、上記所望のアイソレーション領域を上記キヤビティ内の空気によつて上記基板からアイソレートすることを特徴とするシリコンエリアアイソレート方法。

【請求項6】基板からシリコンエリアをアイソレートする方法において、

上記基板上にシリコンエピタキシャル層を準備するステップと、

上記基板の特性エツチ反応とは異なる特性エツチ反応をもつ埋設領域を上記基板内に準備するステップと、

上記基板内に一対のトレンチを形成し、これによつて上記トレンチ間に所望のアイソレーション領域を形成するステップと、

上記所望のアイソレーション領域の下をラテラル方向にエツチングし、これによつて上記所望のアイソレーション領域の下に空気が充填されたキヤビティを形成するステップと、

上記ラテラル方向のエツチングステップによつて露出された上記所望のアイソレーション領域の表面及び上記所望のアイソレーション領域が上記基板に付着する上記シリコンエリア内の上記空気が充填されたキヤビティの壁に導電材料からなる導電層を形成するステップとを具え、

上記導電層の厚さは上記キヤビティの高さ以下であり、かつ上記導電層は上記所望のアイソレーション領域の下にプリツジを形成して当該アイソレーション領域を支持し、上記所望のアイソレーション領域は上記キヤビティ内の空気によつて上記基板からアイソレートされることを特徴とするシリコンエリアアイソレート方法。

【請求項7】基板と、

上記基板上に形成されたシリコン材料からなるエピタキシャル層と、

上記シリコン材料からなるストライプを有し、かつ頂部、底部、2つの側面及び2つの終端を有する所望のアイソレーション領域と、

上記底部の下及び上記2つの側面にあつて上記所望のアイソレーション領域を囲む上記エピタキシャル層及び上記基板内の空気が充填されたキヤビティと、

上記終端における上記キヤビティの壁及び上記底部に形成された導電材料からなる導電層とを具え、

上記導電層は上記終端において上記基板に隣接し、これによつて上記所望のアイソレーション領域を支持し、かつ当該アイソレーション領域を上記空気が充填されたキヤビティ上に懸架するようになされていることを特徴とする半導体構造。

【請求項8】基板と、

上記基板上に形成されたシリコン材料からなるエピタキシャル層と、

頂部、底部、2つの側面及び2つの終端を有する所望のアイソレーション領域と、

上記底部に形成された導電材料からなる導電層と、

上記底部の下及び上記2つの側面にあつて上記所望のアイソレーション領域を囲む上記エピタキシャル層及び上記基板内の空気が充填されたキヤビティと、

上記導電層及び上記終端における上記空気が充填されたキヤビティの壁に形成された絶縁材料からなる絶縁層とを具え、

上記絶縁層は上記終端において上記基板に隣接し、これによつて上記所望のアイソレーション領域を支持し、かつ当該アイソレーション領域を上記空気が充填されたキヤビティ上に懸架するようになされていることを特徴とする半導体構造。

【請求項9】基板の特性エツチ反応とは異なる特性エツチ反応をもつ埋設領域を有する基板と、

上記基板上に形成されたシリコン材料からなるエピタキシャル層と、

頂部、底部、2つの側面及び2つの終端を有する上記シリコン材料からなる所望のアイソレーション領域と、上記底部の下及び上記2つの側面にあつて上記所望のアイソレーション領域を囲む上記エピタキシャル層及び上記基板内の空気が充填されたキヤビティと、

上記終端における上記空気が充填されたキヤビティの壁及び上記底部に形成された導電材料からなる導電層とを具え、

上記空気が充填されたキヤビティは第1のエツチングトレンチによつて形成され、これによつて上記2つの側面を形成し、その後上記埋設領域をラテラル方向にエツチングし、これによつて上記底部を形成し、上記導電層は上記終端において上記基板に隣接し、これによつて上記所望のアイソレーション領域を支持し、かつ当該アイソレーション領域を上記空気が充填されたキヤビティ上に懸架するようになされていることを特徴とする半導体構造。

【請求項10】基板の特性エツチ反応とは異なる特性エツチ反応をもつ埋設領域を有する基板と、

上記埋設領域上に形成されたシリコン材料からなるエピタキシャル層と、

頂部、底部、2つの側面及び2つの終端を有する上記シリコン材料からなる所望のアイソレーション領域と、上記底部に形成された導電材料からなる導電層と、上記底部の下及び上記2つの側面にあつて上記所望のアイソレーション領域を囲む、空気が充填されたキヤビティと、

上記終端における上記空気が充填されたキヤビティの壁及び上記導電層に形成された絶縁材料からなる絶縁層とを具え、

上記キヤビティは第1のエツチングトレンチによつて形成され、これによつて上記2つの側面を形成し、その後上記埋設領域をラテラル方向にエツチングし、これによつて上記底部を形成し、上記絶縁層は上記所望のアイソレーション領域を上記空気が充填されたキヤビティ上に

支持し、かつ懸架するようになされていることを特徴とする半導体構造。

【請求項1 1】基板から抵抗を形成する方法において、上記基板上に単結晶シリコンのエピタキシヤル層を準備するステップと、

所望のアイソレーション領域の2つの側面に沿りかつ上記所望のアイソレーション領域の下にある材料をエッティングし、これによつて上記所望のアイソレーション領域を上記基板から分離させるキヤビティを形成し、上記所望のアイソレーション領域は頂部、底部、2つの終端及び上記2つの側面を有するようにしたステップと、

上記終端における上記キヤビティの壁及び上記底部に絶縁材料からなる絶縁層を形成し、上記絶縁層は上記キヤビティの高さ以下の厚さを有するようにしたステップと、

上記所望のアイソレーション領域を予め定められた導電率までドープするステップとを具え、

上記絶縁層は上記所望のアイソレーション領域の下にブリッジを形成し、これによつて上記所望のアイソレーション領域を支持し、かつ上記所望のアイソレーション領域は上記キヤビティ内の空気によつて上記基板からアイソレートされることを特徴とする抵抗形成方法。

【請求項1 2】基板と、

上記基板上に形成され、予め定められた導電率を有するようにドープされたシリコン材料からなるエピタキシヤル層と、

頂部、底部、2つの側面及び2つの終端を有する上記エピタキシヤル層内の所望のアイソレーション領域と、上記側面及び上記底部にあつて上記所望のアイソレーション領域を囲む空気が充填されたキヤビティと、

上記終端における上記空気が充填されたキヤビティの壁及び上記底部に形成された絶縁材料からなる絶縁層とを具え、

上記絶縁層は上記所望のアイソレーション領域を支持し、かつ当該アイソレーション領域を上記空気が充填されたキヤビティ上に懸架するようになされていることを特徴とする抵抗用構造。

【請求項1 3】基板の特性エッヂ反応とは異なる特性エッヂ反応をもつ埋設領域を有する基板と、

上記埋設領域上に形成され、予め定められた導電率を有するようにドープされたシリコン材料からなるエピタキシヤル層と、

頂部、底部、2つの側面及び2つの終端を有する所望のアイソレーション領域と、

上記側面及び上記底部の下にあつて上記所望のアイソレーション領域を囲む上記エピタキシヤル層及び上記基板内の空気が充填されたキヤビティと、

上記終端における上記空気が充填されたキヤビティの壁及び上記底部に形成された絶縁材料からなる絶縁層とを具え、

上記キヤビティは第1のエッヂングトレーニングによって形成され、これによつて上記2つの側面を形成し、その後上記埋設領域をラテラル方向にエッヂングし、これによつて上記底部を形成し、上記絶縁層は上記所望のアイソレーション領域を支持し、かつ当該アイソレーション領域を上記空気が充填されたキヤビティ上に懸架するようになされていることを特徴とする半導体構造。

【発明の詳細な説明】

#### 【0001】

【産業上の利用分野】本発明は半導体構造及びその製造方法に関し、特にシリコンチップ上の能動素子のアイソレーションについて、誘電体として空気を利用して基板材料からシリコン領域を完全にアイソレートする際に適用して好適なものである。

#### 【0002】

【従来の技術】シリコン基板上においてシリコン領域を互いにアイソレートして当該アイソレーション領域に能動素子を配設することは当分野においては周知のことである。これらのアイソレーション領域を完全にアイソレートする初期の試みには半導体材料からなるアイソレートされるべき島周辺にトレーニングを形成し、当該トレーニングを酸化物のような絶縁材料で充填するラテラル方向アイソレーション技術を含む。例えばこの技術には米国特許第4,661,832号がある。

【0003】半導体材料の領域をアイソレートする従来の技術は隣接する領域をラテラル方向ばかりでなく当該エリアを支持する基板を垂直方向にも完全にアイソレートすることによつて実現されて来た。このアイソレーション技術の例には米国特許第4,888,300号及びIEEE、1990年、VLSI技術に関するシンポジウム「80 [nm] 以下の超薄膜活性層のための新しいSOI製造技術」がある。

【0004】米国特許第4,888,300号は埋設された領域の異なるエッヂ反応を利用して基板及び活性エリア間に、壁を覆い隠された絶縁層を形成することによつて半導体活性領域をアイソレートする方法を教示する。標準的な埋設層が従来の技術（例えばエピタキシヤル処理）によつて基板内に形成された後、エピタキシヤル層内にトレーニングが形成されて埋設層にアクセスする。その後当該トレーニングによつて囲まれたエピタキシヤル層の一部を適正な位置に懸架すると共に、下層の埋設層の領域がエッヂング除去されて活性エリアの下にキヤビティが形成される。周囲のトレーニングと共にこのキヤビティが適正な絶縁材料により充填され、これによつてこの活性島を基板から完全にアイソレートする。米国特許第4,888,300号によると適正な絶縁材料は例えればポリシリコンである。

【0005】同様のアイソレーション技術は上述のIEEE、1990年、VLSI技術に関するシンポジウム「80 [nm] 以下の超薄膜活性層のための新しいSOI製造技術」

術」によつて開示されている。

【0006】

【発明が解決しようとする課題】米国特許第4,888,300号及びIEEE、1990年、VLSI技術に関するシンポジウム「80 [nm] 以下の超薄膜活性層のための新しいSOI製造技術」によつて教示された半導体領域をアイソレートする「フローティング島」技術は初期のアイソレーション方法より優れているが、半導体領域を役に立たなくしてしまう問題がないわけではない。特に上述の米国特許第4,888,300号及びIEEE、1990年、VLSI技術に関するシンポジウム「80 [nm] 以下の超薄膜活性層のための新しいSOI製造技術」によつて教示されるような酸化物トレンチ側壁を有するポリシリコントレンチ構造はトレンチ壁又はキヤビティ壁と半導体基板とのインターフェースにおいて莫大な量の熱応力を発生する。この熱応力は転位を引き起こした応力によつてシリコンエリア内に現れ、この転位はシリコンとトレンチ又はキヤビティとの垂直なインターフェースにおいて発生して隣接するアイソレートされたシリコン領域内まで及ぶ。その結果このような転位のためにシリコン領域の構造の完全性が損なわれ、これによりその上に配設されたデバイスの信頼性が低下する。

【0007】さらに転位を引き起こした応力によつて生じた上述の問題に加えてフローティングシリコン領域は、フローティングシリコン領域内又はフローティングシリコン領域上にデバイスを配設するために次に実行される酸化ステップから生じた酸化物ウエッジの形成によつて生ずる分離問題の影響を受ける。これはアイソレートされたシリコン領域とその下の支持構造との間のインターフェースに沿つて露出したエリアだけが、当該アイソレートされたシリコン領域の垂直壁が支持構造と整合する接合部であるからである。これらの酸化物ウエッジはアイソレートされたシリコン領域を上方又は垂直に圧縮し、その結果応力による新たな転位が生ずる。

【0008】上述の理由のため米国特許第4,888,300号及びIEEE、1990年、VLSI技術に関するシンポジウム「80 [nm] 以下の超薄膜活性層のための新しいSOI製造技術」は製造プロセスとして容認できないことが分かつた。従つてこのような転位を克服するアイソレーションシステムがさらに一段と必要となる。

【0009】従つて本発明の目的は周囲の基板からシリコン領域を完全にアイソレートすることである。

【0010】本発明の他の目的はシリコン領域をアイソレートすると共に、当該アイソレートされた領域を相互接続する便利な手段を提供することである。

【0011】

【課題を解決するための手段】かかる課題を解決するため本発明においては、シリコンエリアを基板10からアイソレートする方法において、基板10上にシリコンエピタキシャル層12を準備するステップと、エピタキシ

ヤル層12内の所望のアイソレーション領域16の2つの側面に沿りかつ所望のアイソレーション領域16の下にある材料14をエッチングし、これによつて所望のアイソレーション領域16を基板10から分離せしめるキヤビティ22を形成するステップと、エッチングステップによつて露出された所望のアイソレーション領域16の底部及び所望のアイソレーション領域16がエピタキシャル層12に付着するシリコンエリア内のキヤビティ22の壁に絶縁材料からなる絶縁層24を形成し、絶縁層24はキヤビティ22の高さ以下の厚さを有するようにしたステップとを含み、絶縁層24は所望のアイソレーション領域16の下にブリッジを形成して所望のアイソレーション領域16を支持し、これによつて所望のアイソレーション領域16をキヤビティ22内の空気によつて基板10からアイソレートするようにする。

【0012】

【作用】本発明によると周囲の基板からシリコン領域をアイソレートする技術は、基板上にN<sup>+</sup>埋設層を準備するステップと、N<sup>+</sup>埋設層上にエピタキシャルシリコン層を形成するステップと、当該エピタキシャル層を介してN<sup>+</sup>埋設層まで一対のトレンチを垂直にエッチングし、これによつてアイソレーション領域を形成するステップと、N<sup>+</sup>埋設層内をラテラル方向にエッチングし、これによつて当該アイソレーション領域の下にキヤビティを形成するステップと、アイソレーション領域の底部及びアイソレーション領域の終端におけるキヤビティの壁に絶縁層を形成し、これによつてキヤビティ上方に当該アイソレーション領域を懸架するステップとを含む。

【0013】本発明による第2の技術は、基板上にN<sup>+</sup>埋設層を準備するステップと、N<sup>+</sup>埋設層上にシリコンエピタキシャル層を形成するステップと、当該エピタキシャル層を介してN<sup>+</sup>層まで一対のトレンチを垂直にエッチングし、これによつてアイソレーション領域を形成するステップと、当該アイソレーション領域の側面に絶縁側壁を形成するステップと、アイソレーション領域の下にあるN<sup>+</sup>層をラテラル方向にエッチングし、これによつて当該アイソレーション領域の下にキヤビティを形成するステップと、アイソレーション領域の底部及びアイソレーション領域の終端におけるキヤビティの壁に導電層を形成するステップと、当該導電層上に絶縁層を形成するステップとを含む。

【0014】本発明はシリコン領域を完全にアイソレートする。これらの領域はアイソレーション領域によつて空気誘電体上に懸架されているので次の処理中に生ずる熱応力の影響を受けない。さらに本発明の重要な部分は他の処理ステップと同一の器具により形成することができ、これによつて従来のアイソレーション技術と比較して経済的である。本発明はアイソレートされた構造をチップのあるエリアに限定するようにすることもできる。さらにアイソレートされた構造をシリコンの深さを異な

るようすに形成し得、これによつてBiCMOSデバイス及びバイポーラデバイスを最適にアイソレートすることができる。

【0045】本発明のこれらの目的及び他の目的、特徴並びに利点は図面に示すような本発明の実施例の詳細な説明に照らして見ると一段と明白になる。

【0016】

【実施例】以下図面について、本発明の一実施例を詳述する。

【0017】図1(A)において例えばP-若しくはN-にドープされたシリコン又はドープされていないシリコンのような半導体材料からなる基板10にはその上に単結晶シリコンからなる真性エピタキシャル層12が成長される。基板10及びエピタキシャル層12間にN+材料又はP+材料のような高濃度にドープされた埋設層14がサンドウイッチされる。この埋設層14は例えばエピタキシャル層12が成長する前の連続打ち込みによるヒ素注入又はエピタキシャル技術を用いてN+層を選択的に成長させる当分野において周知の従来の技術を用いて形成され得る。

【0018】その後図1(B)において一对のトレンチ18及び20がエピタキシャル層12を介して十分な深さまで進んでN+型埋設層14にアクセスする。トレンチは当分野において周知のパターン化技術を用いて形成される。容認できるパターン化方法は、基板上にマスキング層(図示せず)を堆積し、マスキング層(図示せず)上にフォトレジスト層を堆積し、当該フォトレジスト層を介してパターンを露出させ、このフォトレジストを現像し、CF4RIEを用いてマスキング層を介してパターンをエッチし、フォトレジスト層を除去し、SF6/C12RIEを用いて基板内にトレンチ18及び20をエッチする。

【0019】トレンチ18及び20はこれらによつてアイソレーション領域16を形成し、その後このアイソレーション領域16上にデバイスが配設される。

【0020】図1(C)においてアイソレーション領域16の下の埋設層14を選択的にラテラル方向にエッチングすることによつて埋設層14の一部が除去され、これによつてキヤビティ22が形成される。ここで用いられたラテラル方向のエッチは当分野において周知の多数の適正な方法のうちのいずれかである。例えばC12からなるドライプラズマエッチングを用いることにより、埋設層14を除去してアイソレーション領域16の下にキヤビティ22を形成することができる。またウエットエッチングを用いることもできる。キヤビティ22の幅Wは埋設層14にドライプラズマエッチングを実行している時間次第である。

【0021】図1(D)においてSiO<sub>2</sub>のような絶縁層24がCVD被膜方法又は熱酸化技術のような当分野において周知の方法を用いてキヤビティ22の壁並びに

アイソレーション領域16の側面及び底部に形成される。アイソレーション領域16の底部を被膜する絶縁層24はアイソレーション領域16の終端(図2(D)に符号25、26として示す)においてキヤビティ22の壁を被膜する絶縁層24の一部と連続している。従つてアイソレーション領域16の底部にある絶縁層24はアイソレーション領域をキヤビティ22の上方に懸架し、以下に詳述するように新たなエッチングステップによつて形成された複数のアイソレーション領域を支持する。

10 注意すべきは絶縁層24がキヤビティ22の全露出表面を被覆することは本発明には重要ではないということである。唯一必要なことはアイソレーション領域16の終端におけるアイソレーション領域16の底部及びキヤビティ22の壁を絶縁層24により連続して被覆することである。これらの終端25及び26において絶縁層24は周囲の基板に付着してアイソレーション領域16をキヤビティ22上方に支持しつつ懸架する。絶縁層24によつて被覆される特定のエリアは利用される特定の堆積技術及びパターン化技術次第である。

20 【0022】図2(A)は図1(A)～図1(D)に示したプロセスの上面図であり、埋設層14及び基板10(図1(A))上を覆う真性エピタキシャル層12を示す。

【0023】図2(B)において2つのトレンチ18及び20がエピタキシャル層12を介して埋設層14までエッチングされ、これによつてアイソレーション領域16が形成される。

【0024】その後図2(C)において埋設層14はラテラル方向にエッチングされ、これによつてアイソレーション領域16の下にキヤビティ22(図1(C))が形成される。

【0025】次に図2(D)において絶縁層24がトレンチ18及び20、キヤビティ22(図1(D))並びに上述のエッチングステップによつて露出されたアイソレーション領域16の表面に形成される。

【0026】その後図2(E)においてアイソレーション領域16は一段と小さい各アイソレーション領域27及び28に「薄切り」され、これは一段と小さい各アイソレーション領域27及び28の両側面にアイソレーション領域16を横切るチャネル30～34を選択的にエッチングすることによつてなされる。このエッチングステップは当分野において周知の多数の選択的エッチングのうちのいずれかであり、下層の絶縁層24を浸食せずにエピタキシャル層12を介してエッチングする、例えば時限のSF<sub>6</sub>/C<sub>12</sub>RIEエッチングである。従つて絶縁層24は一段と小さいアイソレーション領域27及び28を支持しつつ懸架し続ける。

【0027】注意すべきは異なつてパターン化された形状及び構成並びに異なつたエッチング技術を用いて一段と小さい多数の異なる形式のアイソレーション領域を形

11

成することができるということである。特定の形状及びチヤネル数は本発明には重要ではない。

【0028】また注意すべきは複数のキヤビティがシリコン基板内に異なる深さで形成されることにより異なる用途のデバイスを収容することができるということである。例えばB<sub>i</sub>CMOSデバイスを本発明によるこの技術を用いてバイポーラデバイスと同一の基板上に配設することができる。

【0029】図3において上述の図1(A)～図1(D)及び図2(A)～図2(E)のプロセスから得られた構造は基板10と、埋設層12と、エピタキシャル層14と、エピタキシャル層14を介してエッティングされたトレンチ18及び20と、ラテラル方向にエッティングすることによつて埋設層12内に形成されたキヤビティ122と、キヤビティ122の壁並びに一段と小さいアイソレーション領域27及び28の側壁及び底部に形成された酸化物層24とを含む。アイソレーション領域16を介してチヤネル30、32及び34(図2(E))がエッティングされた後、アイソレーション領域16(図1)の底部に形成された絶縁層24は一段と小さいアイソレーション領域27及び28を支持する。

【0030】図4は上述の図1(A)～図1(D)及び図2(A)～図2(E)のプロセスから得られた構造を図2(E)の線4～4に沿つて破断した断面図であり、基板10と、エピタキシャル層14と、アイソレーション領域27及び28と、ラテラル方向にエッティングすることによつて埋設層12内に形成されたキヤビティ122と、キヤビティ122の壁並びにアイソレーション領域27及び28の底部に形成された酸化物層24とを含む。絶縁層24は個々の活性エリア27及び28を支持する。

【0031】注意すべきはアイソレーション領域27及び28は多数の用途のうちのいずれかに利用されるということである。このような用途の一例として最初の基板としてエピタキシャルシリコンを用いてトランジスタを配設することである。他の例としては抵抗用ストライプを形成するような手法によりアイソレーション領域27及び28をドープすることである。再生できる正確な抵抗用ストライプはこのような手法により形成される。この手法により抵抗を形成するためにこのアイソレートされた領域をドープする(図4の矢印で示す)。

【0032】図5(A)において本発明による第2の実施例を実行するプロセスが例えばP-又はN-にドープされたシリコンの基板110から開始される。この基板110は図1(A)に図示、説明したような上述の第1の実施例の場合のようにその中にN<sup>+</sup>層114を有し、かつその上にエピタキシャルシリコン層112を有する。

【0033】次に図5(B)において一対のトレンチ118及び120がエピタキシャル層112を介してエッ

12

チングされ、これによつてアイソレーション領域116が形成される。このエッティングは図1(B)において図示、説明したような上述の第1の実施例の場合と同じである。

【0034】次に図5(C)において例えば酸化物のような絶縁材料からなる側壁121がトレンチ118及び120の側面に形成される。これらの側壁121を堆積する適正な方法はCVD堆積である。

【0035】図5(D)においてN<sup>+</sup>層114が図1(C)において図示、説明したようなラテラル方向のエッヂを用いてエッティング除去され、これによつてキヤビティ122が形成される。

【0036】次に図6(A)において導電層124がキヤビティ122の壁及びアイソレーション領域116の底部に形成される。導電層124は例えばタンクステン又はケイ化物のような当分野において周知の多数の適正な導電材料のうちのいずれかである。これらの形式の材料を形成する適正な方法も例えば選択的CVD堆積、電気めつき又は金属ケイ化物化のような当分野において周知の方法である。次にエピタキシャルストライプ116の底部を被覆する導電層124の一部がアイソレーション領域116内又はアイソレーション領域116上に配設されたデバイスに接続するために利用される。金属ケイ化物の場合反応しない金属は化学的に除去され得る。

【0037】次に図6(B)において絶縁層126が導電層124上及び当該構造の残りの部分に形成される。絶縁層126は例えば酸化物のような多数の適正な絶縁材料のうちのいずれかである。これらの形式の材料を形成する適正な方法もCVD堆積のような当分野において周知の方法である。注意すべきはエピタキシャル領域116を被覆する絶縁層126が適正なエッティングプロセスを用いて除去されることにより、アイソレーション領域116にアクセスして処理することができる。

【0038】上述の通り本発明をその最適な実施例に基づいて図示、説明したが、本発明の精神及び範囲から脱することなく詳細構成について種々の変更を加えてもよい。

【0039】

【発明の効果】 上述のように本発明によれば、基板上にN<sup>+</sup>埋設層を準備し、N<sup>+</sup>埋設層上にエピタキシャル層形成し、当該エピタキシャル層を介してN<sup>+</sup>埋設層まで一対のトレンチを垂直にエッティングすることにより、アイソレーション領域を形成し、その後当該アイソレーション領域の下のN<sup>+</sup>埋設層をラテラル方向にエッティングすることにより、キヤビティを形成し、アイソレーション領域の底部及びアイソレーション領域の終端におけるキヤビティの壁に絶縁層を形成することによつてアイソレーション領域を周囲の基板から簡易かつ確実にアイソレートすることができと共に熱応力を回避することができる。

13

## 【図面の簡単な説明】

【図1】図1 (A)～(D)は本発明の第1の実施例によるアイソレートされたシリコン領域を形成するステップの断面図を示す。

【図2】図2 (A)～(E)は本発明の第1の実施例によるアイソレートされたシリコン領域を形成するステップの上面図を示す。

【図3】図3は本発明の第1の実施例により形成された、アイソレートされたシリコン領域の斜視図である。

【図4】図4は図2 (E)に示す構造の線4～4に沿つて破断した断面図を示す。

【図5】図5 (A)～(D)は本発明の第2の実施例によるビルトイン相互接続手段を有するアイソレートされ

14

\*たシリコン領域を形成するステップの一部の断面図を示す。

【図6】図6 (A)及び(B)は本発明の第2の実施例によるビルトイン相互接続手段を有するアイソレートされたシリコン領域を形成するステップの一部の断面図を示す。

## 【符号の説明】

10、110……基板、12、112……エピタキシャル層、14、114……埋設層、16、27、28、116……アイソレーション領域、18、20、118、120……トレチ、22、122……キャビティ、24、126……絶縁層、25、26……終端、121……側壁、124……導電層。

【図1】

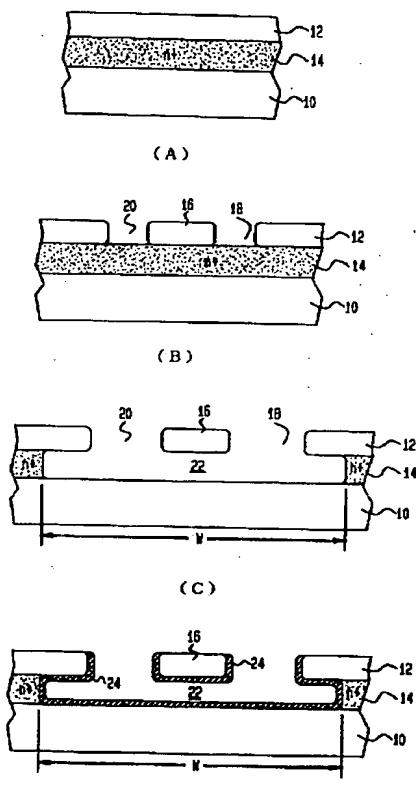


図1 第1の実施例の処理ステップ

【図2】

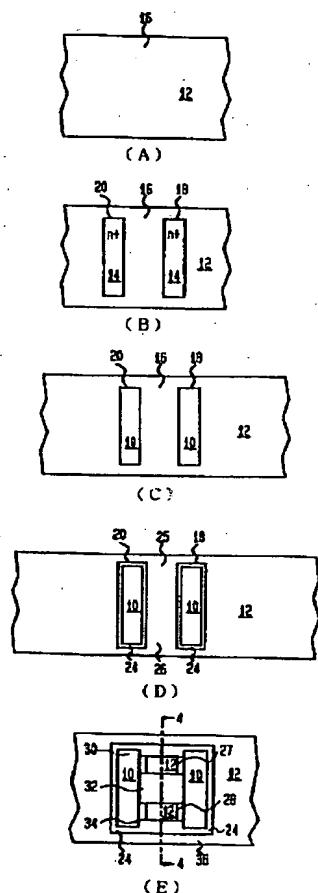


図2 第1の実施例の処理ステップ

【図3】

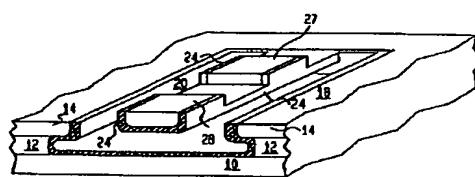


図3 第1の実施例

【図4】

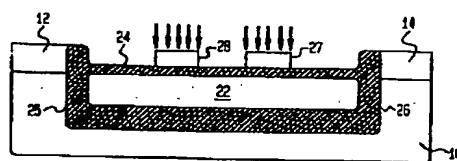


図4 第1の実施例

【図5】

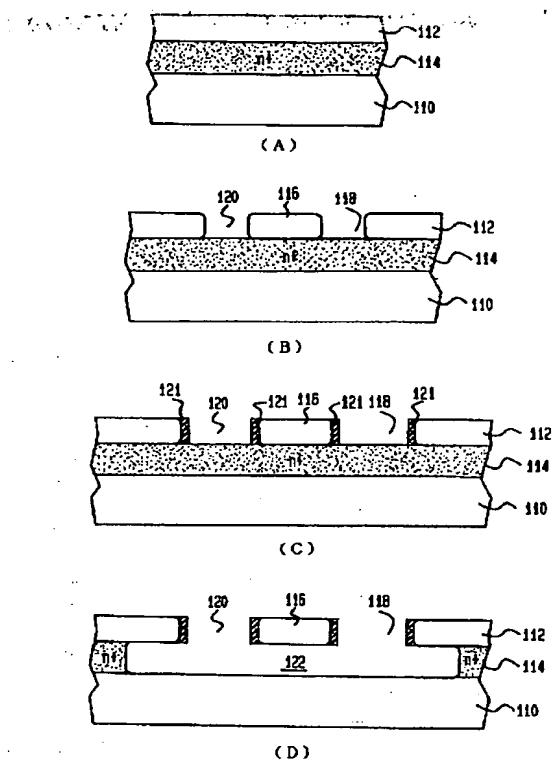


図5 第2の実施例の処理ステップの一部

【図6】

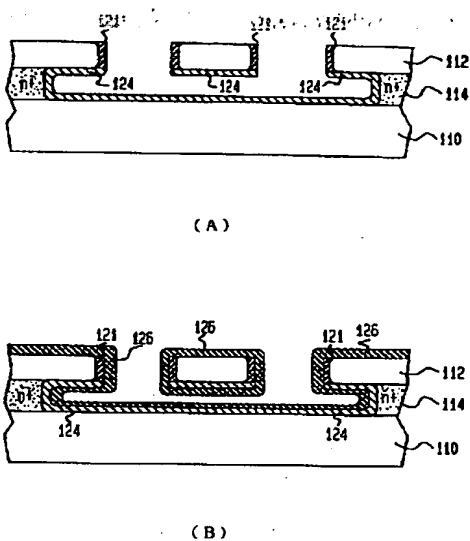


図6 第2の実施例の処理ステップの一部

## プロントページの続き

(72) 発明者 サンーメイ・クー  
アメリカ合衆国、ニューヨーク州12603,  
ポウキーブシー、カーネリー・コート 3  
番地

(72) 発明者 ピクトル・ジョセフ・シルベストリ  
アメリカ合衆国、ニューヨーク州12533,  
ホープウェル・ジャンクション、ビバリ  
ー・コート 3番地

(72) 発明者 アンドリエ・セチアワン・ヤプサー  
アメリカ合衆国、ニューヨーク州12569,  
プレザント・バレイ、ダナ・ドライブ ア  
ール・アール1 4番地